

<b>Entwurf eingebetteter Systeme mit Digitallogik</b> <i>Design of Embedded Systems with Digitallogic</i>							Modulnummer: ME-712.05													
<b>Master</b> Pflicht/Wahl <input type="checkbox"/> Wahl <input checked="" type="checkbox"/> Basis <input type="checkbox"/> Ergänzung <input checked="" type="checkbox"/> Sonderfall <input type="checkbox"/>				<b>Zugeordnet zu Masterprofil</b> <table border="0"> <tr> <td></td> <td style="text-align: right;">Basis</td> <td style="text-align: right;">Ergänzung</td> </tr> <tr> <td>Sicherheit und Qualität (SQ)</td> <td style="text-align: right;"><input type="checkbox"/></td> <td style="text-align: right;"><input type="checkbox"/></td> </tr> <tr> <td>KI, Kognition, Robotik (KIKR)</td> <td style="text-align: right;"><input type="checkbox"/></td> <td style="text-align: right;"><input checked="" type="checkbox"/></td> </tr> <tr> <td>Digitale Medien und Interaktion (DMI)</td> <td style="text-align: right;"><input type="checkbox"/></td> <td style="text-align: right;"><input type="checkbox"/></td> </tr> </table>						Basis	Ergänzung	Sicherheit und Qualität (SQ)	<input type="checkbox"/>	<input type="checkbox"/>	KI, Kognition, Robotik (KIKR)	<input type="checkbox"/>	<input checked="" type="checkbox"/>	Digitale Medien und Interaktion (DMI)	<input type="checkbox"/>	<input type="checkbox"/>
	Basis	Ergänzung																		
Sicherheit und Qualität (SQ)	<input type="checkbox"/>	<input type="checkbox"/>																		
KI, Kognition, Robotik (KIKR)	<input type="checkbox"/>	<input checked="" type="checkbox"/>																		
Digitale Medien und Interaktion (DMI)	<input type="checkbox"/>	<input type="checkbox"/>																		
Modulbereich: Praktische und Technische Informatik Modulteilbereich: 712 Robotik																				
Anzahl der SWS		V	UE	K	S	Prak.	Proj.	$\Sigma$	Kreditpunkte: 6	Turnus i. d. R. angeboten alle 2 Semester										
		2	2	0	0	0	0	4												
Formale Voraussetzungen: -																				
Inhaltliche Voraussetzungen: -																				
Vorgesehenes Semester: ab 1. Semester																				
Sprache: Deutsch																				
Ziele: • Verständnis der anwendungsspezifischen Digitallogik für den Hardware-Entwurf als Erweiterung und Ergänzung zum Software-Entwurfs • Grundlegende Kenntnisse der Funktionsweise von Digitallogiksystemen • Entwurf und Abbildung von Schaltnetzen auf boolesche Algebra • Kenntnisse über Optimierung von Digitallogiksystemen • Einführung der Register-Transfer-Logik Architektur als wesentliche Architektur und Entwurfsmethode für die Datenverarbeitung • Abbildung von klassischen Programmen auf RTL mit Daten- und Kontrollpfadpartitionierung • Kenntnisse über programmierbare Digitallogikschaltungen (CPLD/FPGA/ASIC) • Fähigkeit zum Modellieren von Digitallogiksystemen und Abbildung von Algorithmen auf RT-Ebene sowie mit der Hardware-Beschreibungssprache VHDL • Aufzeigen der Möglichkeiten der Parallelisierung von Algorithmen durch Digitallogiksysteme • Der Übungsanteil soll die praktische Umsetzung des in der Vorlesung erworbenen Wissens vermitteln und deren Anwendung an Beispielen üben (z.B. Algorithmen auf RTL abbilden mit Verwendung des ReTrO Simulators)																				

Inhalte: • Digitallogik, Boolesche Algebra, Boolesche Funktionen • Konjunktive- und Disjunktive Normalformen, Ableitungen aus Schaltbedingungen

- Technologische Umsetzung mit Transistoren
- Darstellung von booleschen Funktionen und Schaltnetzen mittels grafischer Methoden und Optimierung (KV-Diagramme)
- Systematische Darstellung und Optimierung von booleschen Funktionen mittels Binary Decision Diagrams (BDD)
- Programmierbare Digitallogik für Rapid Prototyping: Systematik und Aufbau Abbildung von Und-Oder-Matrizen auf verschiedene Technologien: RAM/PAL/GAL/CPLD/FPGA/ASIC
- Verwendung von hoch-integrierten Field-Programmable-Gate-Arrays (FPGA)
- Standardzellen-ASIC: Architektur und Entwurfsmethoden
- Hardware-Entwurfsmethodik und Syntheseverfahren im Überblick, Ebenen des Logikentwurfs
- Kombinatorische Logiksysteme
- Sequenzielle Logiksysteme
- Systementwurf mit Register-Transfer-Logik (RTL) Architekturen
- Abbildung von Algorithmen auf Daten- und Kontrollpfade und Umsetzung mittels RTL (+ Scheduling & Allokation des Datenpfades)
- Laufzeitprobleme in elektronischen Systemen oder warum die Formale Verifikation nur graue Theorie sein kann
- Zustandsautomaten (Moore- und Mealy) und ihre Anwendung
- Beschreibung und Modellierung von Digitallogiksystemen mittels einer Hardware-Beschreibungssprache (VHDL)

Unterlagen (Skripte, Literatur, Programme usw.):

1. Stefan Bosse Anwendungsspezifische (programmierbare) Digitallogik und VHDL-Synthese Skript, 3. Auflage (2012)
2. Michael D. Ciletti Advanced Digital Design with the Verilog VHDL Prentice Hall, (2003)
3. J. Reichardt, B. Schwarz VHDL-Synthese Oldenbourg Verlag (2003)

Form der Prüfung:

Erfolgreiche Bearbeitung von Übungsaufgaben und mündliche Prüfung

Arbeitsaufwand	Präsenz	56 h
	Übungsbetrieb/Prüfungsvorbereitung	124 h
	Summe	180 h

Lehrende:  
PD Dr. St. Bosse

Verantwortlich:  
PD Dr. St. Bosse